

## Herausforderungen im Lotpastenauftrag

Treiber für Anforderungen an den Lotpastenauftrag  
Anforderungen an Leiterplatte und Schablonen  
Sonderanwendungen

### Helge Schimanski

Fraunhoferstr. 1, D-25524 Itzehoe  
Tel. 04821 17-4639, Fax 04821 17-4250  
email: [helge.schimanski@isit.fraunhofer.de](mailto:helge.schimanski@isit.fraunhofer.de)  
internet: <http://www.isit.fraunhofer.de>



## Inhalt

- Vorstellung ISIT
- Treiber für Anforderungen an den Lotpastenauftrag
- Anforderung an Leiterplatte und Schablone  
am Beispiel eines diskreten ICs (DSN0402-2 /SOD992)
- Herausforderungen im Lotpastenauftrag
- Beispiel einer Anwendungsempfehlung (Application Note)
- Sonderanwendungen:  
Rework, Waferballing, großflächige Pastendepots, ...
- Zusammenfassung

## Fraunhofer ISIT

### Forschungs- und Entwicklungszentrum für Mikroelektronik und Mikrosystemtechnik

Forschungs- und Entwicklungszentrum für Mikroelektronik und Mikrosystemtechnik

In Itzehoe seit 1995

Erstinvestition: 125 Mio. €

Gesamtinvest bis 2017: ca. 400 Mio. €

Mitarbeiter: 150

Zertifiziert nach ISO 9001:2015



Institutsleiter: Dr. Axel Müller-Groeling

Vertreter: Prof. Bernhard Wagner

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

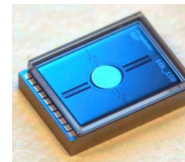


## ISIT-Geschäftsfelder

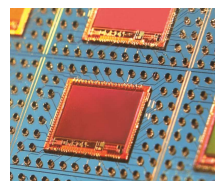
- **Leistungselektronik**  
hocheffiziente Leistungstransistoren  
LE für regenerative Energiesysteme  
Batteriesysteme für Spezialanwendungen
- **MEMS-Anwendungen**  
Optische und akustische Systeme  
Mikroantriebe und hochempfindliche Sensorsysteme
- **Mikro-Fertigungsverfahren**  
WL Packaging und Prozesse  
Prozessintegration und Pilotfertigung  
Modul-Services: QZ und AVT



Leistungsmodule



Mikrospiegel



Waferlevel-Packaging

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Strategic focussing of the business units

### Power electronics

- Development- and fabrication center for **Si-based high voltage devices**
- Exploitation of **GaN as a new material basis** for innovative power devices
- Competence center for **intelligent power converters** in the areas e-mobility and regenerative energies

### Micro manufacturing processes

- Competence- and consulting center for **method- and process technological problems** in the area of micro electronic and micro mechanical fabrication
- Specialist for the **transfer to production** of new and innovative processes and methods

### MEMS-applications

- Establishing of **MEMS-micro mirrors and micro scanners as key components** in they areas Automotive, AR/VR-applications and laser based material processing
- Specialist for **acoustic MEMS-systems and powerful micro drives**
- Advancement of **supersensitive sensor systems**

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Micro Electrical Mechanical Systems (MEMS)

### Physical Sensors

Sensors for Acceleration and Angular Rate

- ISIT: Polysilicon MEMS Process
- Application
  - Automotive
  - Safety Systems
  - Navigation
  - Virtual Reality
  - Smartphones



All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

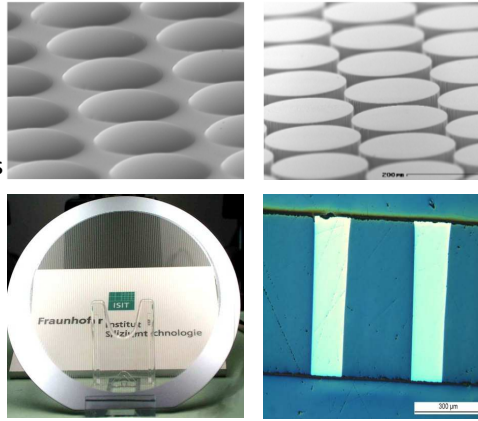
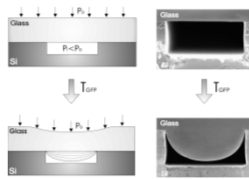


## Micro Electrical Mechanical Systems (MEMS)

### Optical Microsystems

#### Passive optical Elements

- Borosilicate Glass Flow Process
- Applications:
  - Microoptics, Lensearrays
  - Micromechanics/Microfluidics
  - Wafer Feedthrough



All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

**Fraunhofer**  
confidential ISIT

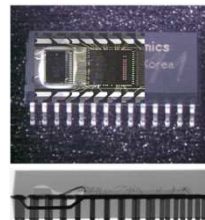
## Department Micro Manufacturing Processes

### Advanced Packaging of MEMS

- precision dicing with temporary protection
- low stress die attach
- prototype assembly
- automatic pilot production with chip stacking capability and defined bondline thickness
- automatic wire bonding / Au stud bumping
- automatic flip-chip bonding
- process transfer to volume packaging supplier



Multi-chip die bonder Datacon apm 2200 & EVO



All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

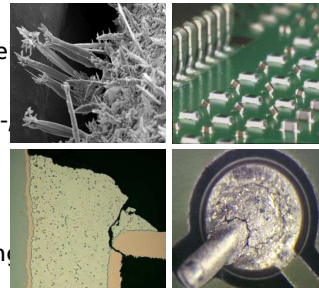
**Fraunhofer**  
confidential ISIT

## Modul-Services – Qualität, Zuverlässigkeit und AVT

### elektronischer Baugruppen und Komponenten

Fortschrittliche Fehleranalyse ist die Grundlage für Innovation, Geschwindigkeit, Qualität, Zuverlässigkeit und garantierte Funktion über Lebensdauer

- Material- und Schadensanalysen, Kontaminations-, Korrosions- und Rückstandsuntersuchungen
- Bewertung der Herstellungsqualität nach Industriestandards
- Zuverlässigkeits- und materialkundliche Bewertung
- Einführung neuer Technologien
- Prototyping und Vorserienfertigung
- Prozessoptimierung, Bauteil- und Materialqualifizierung (Lötwärmebeständigkeit, Lotpastenbewertung, u.a.)
- Rework komplexer Baugruppen
- Seminare und In-House-Schulungen



Whisker-, Tombstone- (oben) und Rissbildungen (unten) an elektronischen Bauelementen



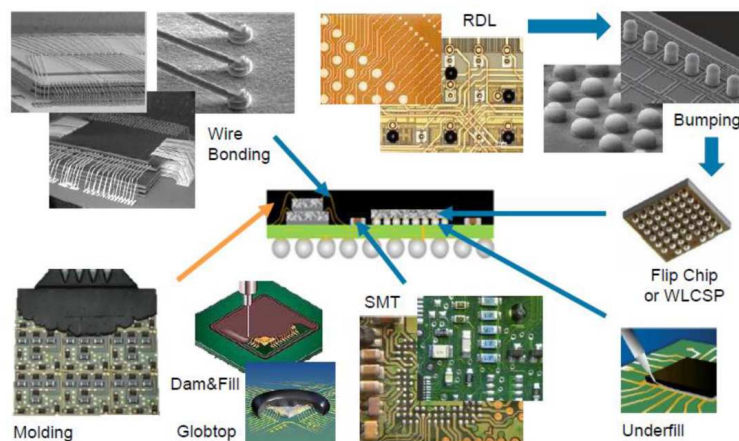
ISIT SMT-Testbord

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Audi Halbleiterstrategie:

### Einzug der Hochintegration in die Automobilelektronik

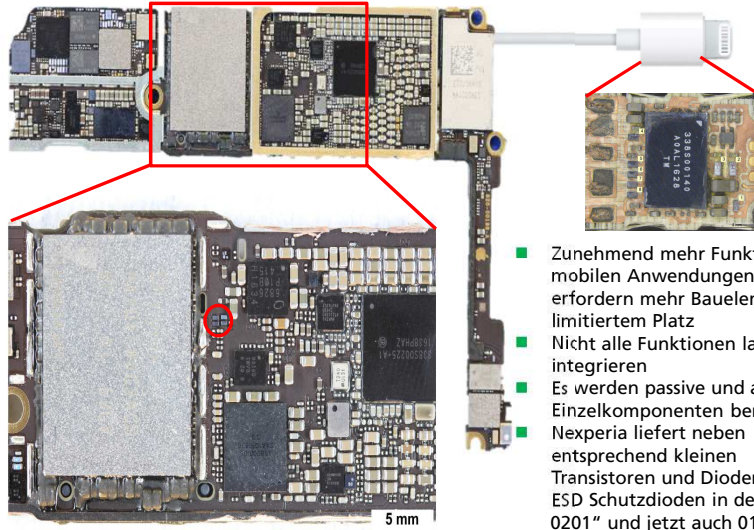


Quelle: B.Hellenthal, AudiAG, EBL 2018, Halbleiterstrategie - Progressive Semiconductor Program (PSCP) KSU 9.1

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Treiber für Miniaturisierung (nicht nur) von DSN Bauteilen

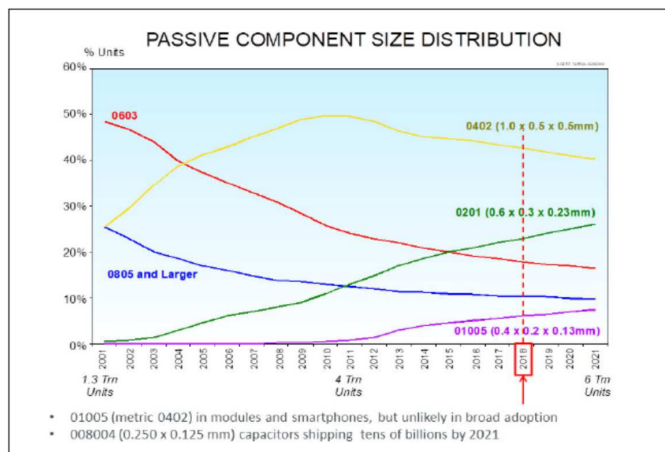


- Zunehmend mehr Funktionen in mobilen Anwendungen erfordern mehr Bauelemente bei limitiertem Platz
- Nicht alle Funktionen lassen sich integrieren
- Es werden passive und aktive Einzelkomponenten benötigt
- Nexperia liefert neben entsprechend kleinen Transistoren und Dioden viele ESD Schutzdioden in der Größe 0201" und jetzt auch 01005"

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

Quelle: nexperia.com Fraunhofer ISIT

### Miniaturization Roadmap



- 01005 (metric 0402) in modules and smartphones, but unlikely in broad adoption
- 008004 (0.250 x 0.125 mm) capacitors shipping tens of billions by 2021

EIA (inch) based	metric (mm) based	length (mm)	width (mm)
008004	0201	0.25	0.13
0075	0301	0.30	0.15
01005	0402	0.40	0.20
0201	0603	0.60	0.30
0402	1005	1.00	0.50
0603	1608	1.60	0.80
0805	2012	2.00	1.25
1206	3216	3.20	1.60
1210	3225	3.20	2.50
1808	4520	4.50	2.00
1812	4532	4.50	3.20
1825	(4563)	4.50	6.35
2211	(5728)	5.70	2.80
2220	5750	5.70	5.00
2225	(5763)	5.70	6.35
3640	(91102)	9.14	10.20



Quelle: Development of a Solder Paste Test Vehicle for Miniaturized Surface Mount Technology  
Douglass Dixon, Henkel Electronic Materials et al.; APEX 2018, San Diego

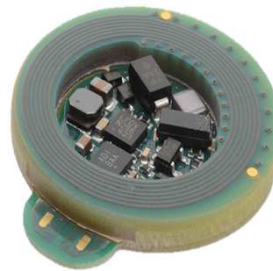
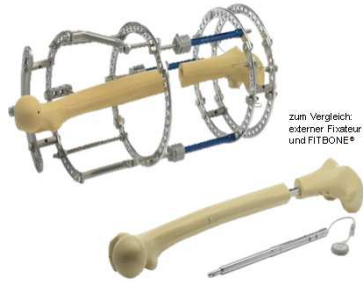
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

Fraunhofer ISIT

### Spezielle Aufgaben erfordern spezielle Lösungen

Cavity-PCB für ein intramedulläres (im Markraum des Knochens liegendes) Verlängerungssystem zur Extremitätenverlängerung in Femur und Tibia (Ober- und Unterschenkel)

Entwicklung einer Cavity-PCB mit 15mm Durchmesser



Quelle: Anforderung des Produkts an die Lotpastenapplikation, WITTENSTEIN cyber motor GmbH, Michael Matthes, 21. EE-Kolleg, 03/2018

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### DSN0402-2 (SOD992)

silicon, leadless tiny package; 2 terminals; 0.25 mm pitch; 0.4 mm x 0.2 mm x 0.1 mm body



Pad dimensions:  
C X D  
160 µm x 110 µm

Quelle: <http://www.nexperia.com/packages/SOD992.html>  
Recommendations for printed circuit board assembly of DSN0402: AN11685

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Layout Testboard LP- Anschlussflächen (Sollvorgabe)

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

### Differenz Kundenvorgabe – reale Leiterplatte

Zulässiger Lötstopplackversatz führt zu ungleichen Lötstellen

Soll: 200 x 230

Soll: 200 x 230

D x C [µm]

Vorgabe B=560 µm, C=230 µm, D=200 µm

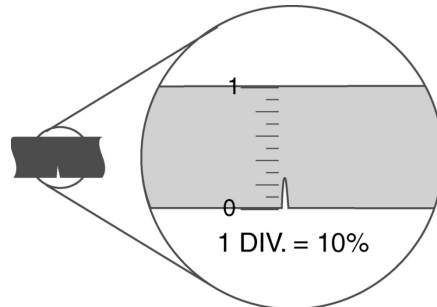
Reduzierung minimaler Breite oder minimaler Länge von Leiterbahnen oder Anschlussflächen gemäß IPC-A-610 zulässig nach Klasse 3

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Leiterbahnbreite

### Reduzierung von Leiterbahnen/Anschlussflächen



Reduzierung minimaler Breite oder minimaler Länge von Leiterbahnen oder Anschlussflächen

> 30%: Unzulässig - Klasse 1

> 20%: Unzulässig - Klasse 2, 3

Quelle:  
IPC-A-610F, Bild 10-43

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

**Fraunhofer**  
ISIT

## Herausforderung Lotpastenauftrag

Ziel:

Auf die Lötstelle angepasstes Lotvolumen bereitstellen

- Reproduzierbares Erzeugen kleinster Lotpastendepots
  - Nur mit hochwertigen Schablonen möglich
- Auswahl Schablonen verschiedener Hersteller
  - Edelstahl, Nickel, Laser geschnitten, elektropoliert, endbeschichtet, Dicke 80µm und 100µm
- Variation der Schablonenöffnungsgeometrie
  - Optimierung des Area Ratio

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

**Fraunhofer**  
ISIT

### Stencils: Area Ratio / Aspect Ratio

$$Area\ Ratio = \frac{Area\ of\ Aperture\ Opening}{Area\ of\ Aperture\ Walls} = \frac{L \times W}{2 \times (L + W) \times T} > 0,66$$

$$Aspect\ Ratio = \frac{Width\ of\ the\ Aperture}{Thickness\ of\ the\ Stencil\ Foil} = \frac{W}{T} > 1,5$$

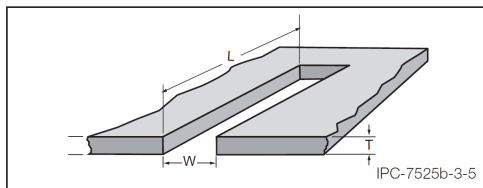


Figure 3-5 Cross-Sectional View of A Stencil

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Nominalvolumen beim Lotpastentransfer ist abhängig von der Öffnungsgröße

#### Nominal Volume

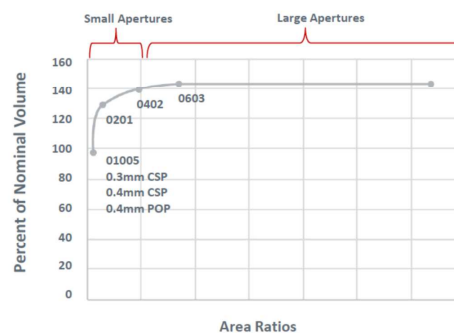
#### Small Apertures

- Averaging less than 100% to nominal target volume

#### Large Aperture

- Averaging around 140% of nominal target volume

Volume Prediction Curve - Type 4 Solder Paste



The solder paste in the graph flows and releases better than most

Quelle: Development of a Solder Paste Test Vehicle for Miniaturized Surface Mount Technology  
Douglass Dixon, Henkel Electronic Materials et al.; APEX 2018, San Diego

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Lotpastenauftrag, Area Ratio



Öffnung 160 x 110 µm, Lotpaste T5, Schablone 80µm, Area Ratio 0,41



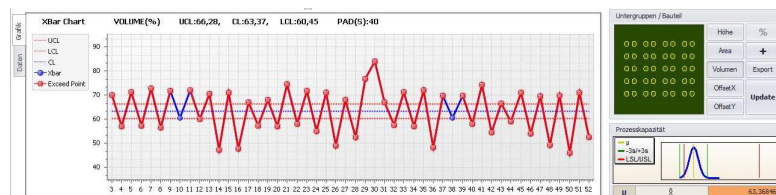
Öffnung 230 x 180 µm, Lotpaste T5, Schablone 80µm, Area Ratio 0,66

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

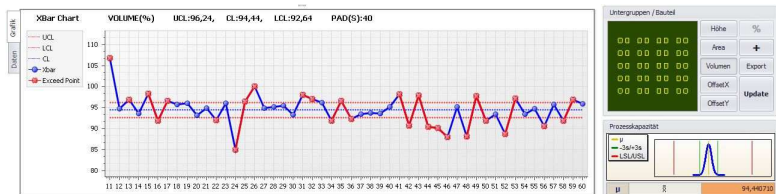


### Lotpastenauftrag, Schablonenvergleich

Öffnung 230 x 180 µm, Lotpaste T5, Schablone 80µm, Area Ratio 0,66



Schablone A

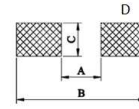


Schablone B

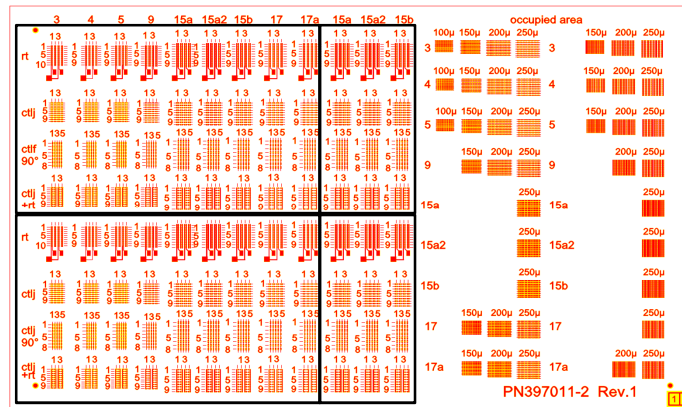
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## 2. Durchlauf mit optimierten Anschlussflächenlayouts zusätzlich Variation der Schablonenöffnungen



Bereich A:  
Stencil Aperture:  
Rechteckig  
mit mittlerem  
Eckenradius



Bereich C:  
Stencil Aperture:  
Rechteckig mit  
kleinem Eckenradius

Bereich B:  
Stencil Aperture:  
runde Öffnungen

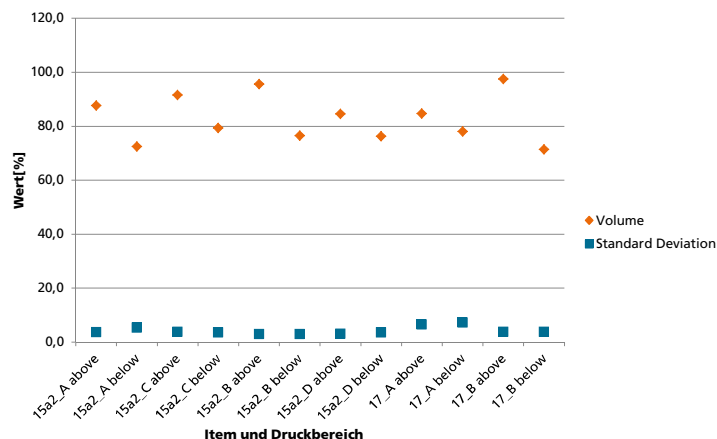
Bereich D:  
Stencil Aperture:  
Rechteckig mit  
großem Eckenradius

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Lotpastendruck: Vergleich der SPI-Daten

### SPI-Volumenmessung

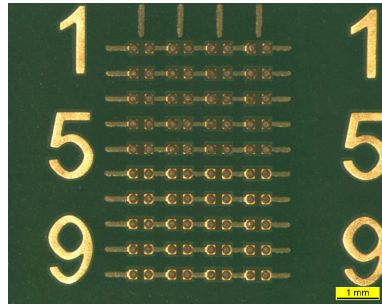


Lotpaste T5, Schablonenstärke 80µm

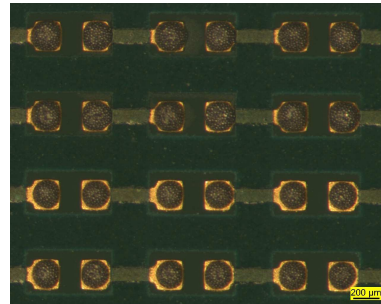
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



**Lotpastendruck mit Lotpaste T5, Schablone 80 µm**  
**Anschlussfläche mit Leiterbahnanbindung**



Ctlj Pad-Array, item 15 a2, Bereich B  
 Überblick

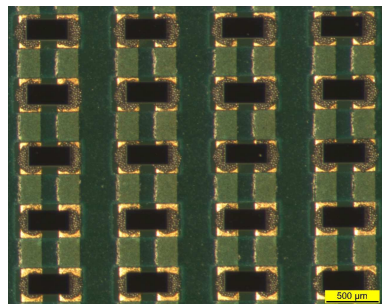


Pads 4.1-7.3

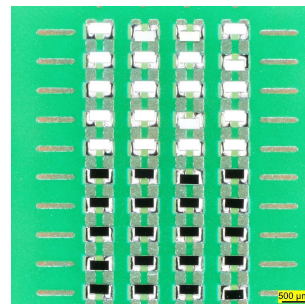
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
 © Fraunhofer ISIT 2018



**Lötergebnis mit Lotpaste T5, Schablone 80 µm**  
**Anschlussfläche in Leiterbahn integriert**



Item 15a2, Bereich B  
 Nach Bestückung

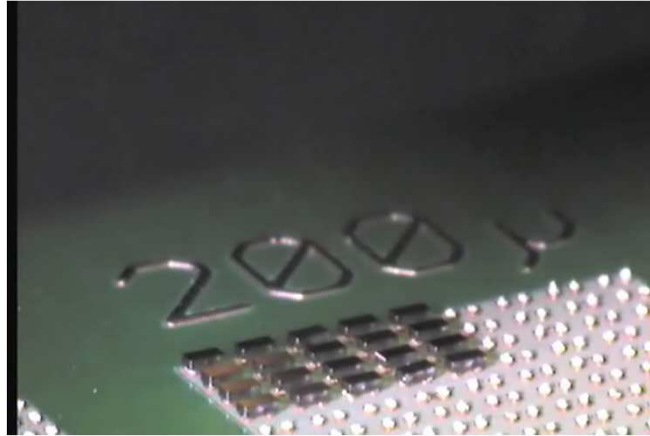


Nach Löten

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
 © Fraunhofer ISIT 2018



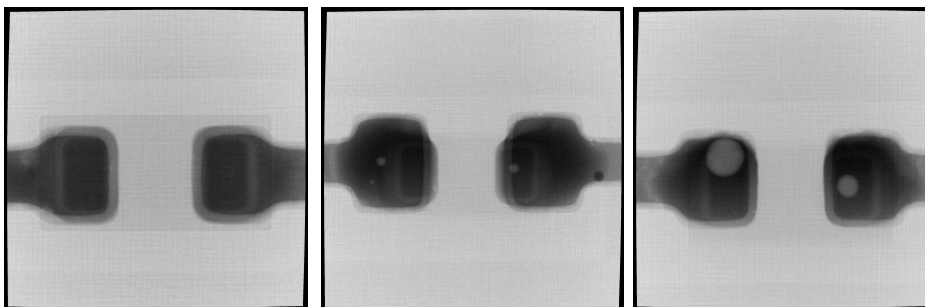
### Video eines Reflowprozesses von DSN0402 Dioden



All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Röntgeninspektion



5

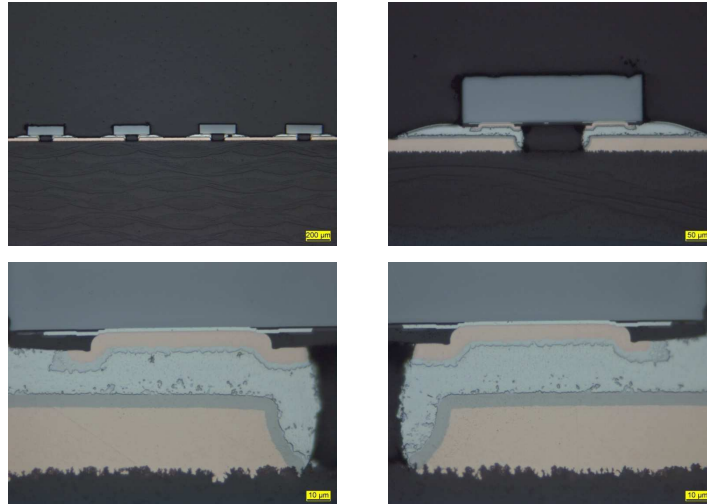
Ctlj detail, item  
15

11

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Querschliff

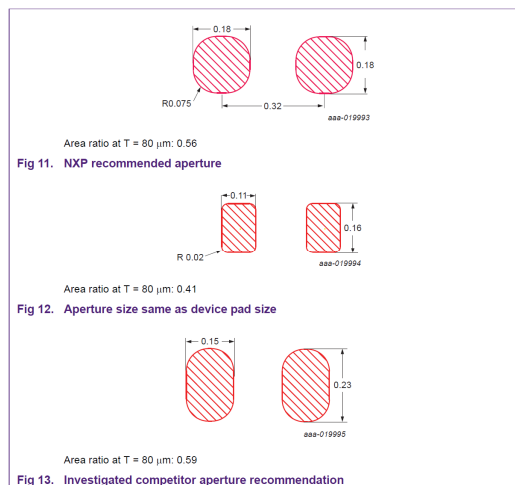


T5 80µm ctlj, item 15a2, von der Übersicht ins Detail

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



### Empfohlenes Schablonendesign für DSN0402



Schablonenstärke: 100µm  
 Area Ratio: 0,47  
 Schablonenstärke: 80µm  
 Area Ratio: 0,58

Schablonenstärke: 100µm  
 Area Ratio: 0,33  
 Schablonenstärke: 80µm  
 Area Ratio: 0,41  
 Schablonenstärke: 60µm  
 Area Ratio: 0,57

Schablonenstärke: 100µm  
 Area Ratio: 0,47  
 Schablonenstärke: 80µm  
 Area Ratio: 0,59

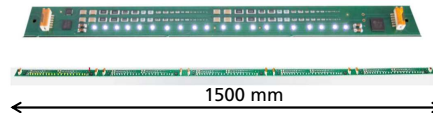
Quelle: <http://www.nexperia.com/packages/SOD992.html>  
 Recommendations for printed circuit board assembly of DSN0402: AN11685

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Sonderanwendungen

- Leiterplatten mit Sonderabmessungen (z.B. für LED-Anwendung):
  - Überlänge von 1500mm erfordert präzises Drucken und Bestücken im Übergangsbereich; Länge der Fertigungslinie: 45 m



- Hochfrequenzanwendungen:
  - Einfluss der Lötstellenform auf die HF-Eigenschaften eines Produkts, d.h. Geometrie/Oberfläche abhängig von Lotlegierung und -menge, Fussmittel und Padgeometrie, Lotspalt und Padrestflächen beachten (ggf. Antennenwirkung); Auswahl einer geeigneten Schablonen-Lotpastenkombination

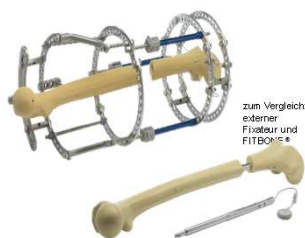
- Cavity PCB

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

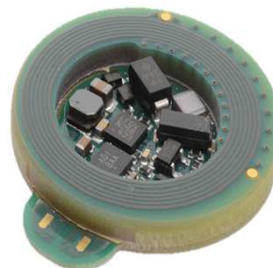


## Cavity-PCB

### Intramedulläres Verlängerungssystem zur Extremitätenverlängerung in Femur und Tibia



Entwicklung einer Cavity-PCB mit 15mm Durchmesser



Lösungsansätze Pastenauftrag:

- 3D-Stufenschablone
- Rotationsdruck
- Pump-Print
- Jetprinten

Quelle: Anforderung des Produkts an die Lotpastenapplikation, WITTENSTEIN cyber motor GmbH, Michael Matthes, 21. EE-Kolleg, 03/2018

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

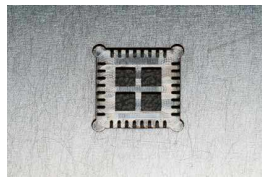




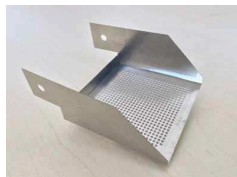
## Rework

Vorgabe: selektiver Lotpastenauftrag (auf Bauteil oder Leiterplatte)

- Besondere Anforderungen an Schablonen und Auftragstechnik
- Info hierzu:  
Leitfaden Rework elektronischer Baugruppen - Qualifizierbare Prozesse für die Nacharbeit, ZVEI – Zentralverband Elektrotechnik- und Elektroindustrie e.V., Fachverband PCB and Electronic Systems



Quelle: Ersä



Quelle: Zevac



Quelle: Martin

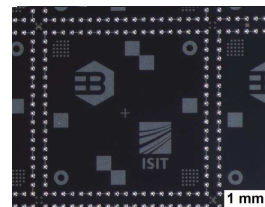
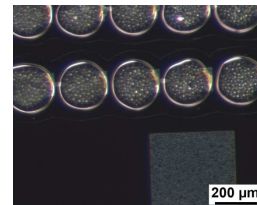
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Waferballing

Vorgabe: kleine und flache Lotpastendepots

- Feinkörnige Lotpasten, mind. Körnung Klasse 5, besser Klasse 6
- Dünne Schablonen mit vielen Öffnungen (Handling beachten), bei Druck von Rahmenstrukturen Spezialschablonen erforderlich
- Verarbeitung unter sauberen Umgebungsbedingungen, oftmals definierte Reinraumklassifizierung
- Höher aktivierte Lotpasten, qualifizierte Reinigung notwendig



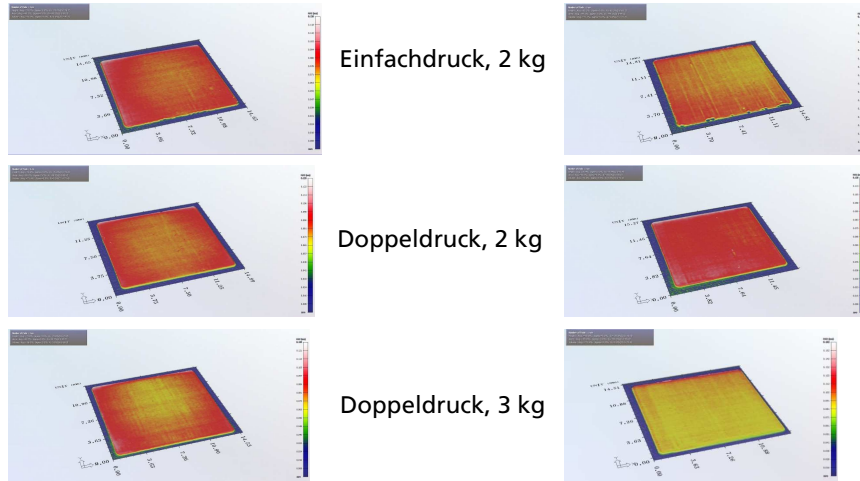
All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018



## Großflächige Pastendepots:

### Drucken von Sinterpaste, Pastendepotfläche 14 x 14 mm<sup>2</sup>

200 µm Raketstärke    Edelstahlraketel, 60°, 160 mm    1500 µm Raketstärke



All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

Fraunhofer  
ISIT

## Zusammenfassung

- Miniaturisierte Bauteilgeometrien, erhöhte Packungsdichte und Arbeiten auf mehreren Ebenen stellen den Lotpastenauftrag vor neue Aufgaben.
- Die aufeinander abgestimmte Kombination aus Auftragsverfahren, Werkzeugen und Lotpaste ist Voraussetzung für ein gutes Druckergebnis.
- Sonderanwendungen erfordern spezielle Lösungen.
- Hochwertige Schablonen können die Pasten-Transfereffizienz erhöhen und das erforderliche Area Ratio herabsetzen.
- Die Gefahr des Überdrucks entsteht durch Padreduzierung.
- 3D Lotpasteninspektion ermöglicht die notwendige quantitative Kontrolle.
- Voraussetzung für die Herstellung zuverlässiger Baugruppen ist eine qualifizierte Prozessoptimierung.

**Ziel zur Herstellung zuverlässiger Elektronik  
ist das Prozessfenster für sichere Baugruppenfertigung  
Das ISIT kann hierbei behilflich sein.**

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution, as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

Fraunhofer  
ISIT

---

*Wenn man vorher  
miteinander spricht*


—

*braucht man hinterher  
nicht übereinander zu reden*

---

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution,  
as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

© Helge Schimanski  
30.09.2015



*Vielen Dank  
für Ihre  
Aufmerksamkeit!*



*H. Schimanski*

---

All rights reserved, also regarding any disposal, exploitation, reproduction, editing, distribution,  
as well as in the event of applications for property rights.  
© Fraunhofer ISIT 2018

