

Bericht der Regionalgruppenveranstaltung in Berlin am 19.03.2019

Im Rahmen der Vortragsreihe durch alle FED-Regionalgruppen fand die zweite Veranstaltung in Berlin bei der Firma enmech gehörend zur globalen Mektec-Gruppe statt. Heiko Böhland, Entwicklungsleiter, begrüßte für sein Haus die Gäste und stellte die Firma vor. Bereits in den 80 ern Jahren wurden im Hause als Teil der Kabelwerke Reinshagen alternative Verbindungstechnologien hergestellt. Ende 1990 wurde die Firma in Delphi umfirmiert und dann 2006 an die Firma Freudenberg unter Beibehaltung des Produktsopes, flexible Baugruppen zum großen Teil für die Automobilbranche verkauft. Durch die Ausrichtung auf den Automotivbereich und einer früheren lockeren Zusammenarbeit mit der japanischen Mektec-Gruppe wurde 2016 die Firma enmech ein 100% Teil der Gruppe. Für ihr umfangreiches Produktscope sind weltweit Produktionsstandorte angesiedelt.

In Europa ist die Gruppe mit 4 Standorten, Berlin mit Produktion und Entwicklung, Erkelenz mit Produktion, Budweis in Tschechien und Pécel in Ungarn, in Europa vertreten. Das Headquarter befindet sich in Weinheim. Der Produktbereich umfasst alle Gebiete der Automotivbranche wie Außen- und Innenbeleuchtung, Batteriemanagement, Antennen und Heizmodule für diverse Anwendungen. Der für die Fertigung benötigte Maschinenpark steht in dem Berliner Werk zur Verfügung.

Marco Schiller, Regionalgruppenleiter Berlin, bedankte sich bei dem Gastgeber für die Nutzung der Räumlichkeiten und bei den Referenten für Ihre Bereitschaft zum Vortrag. Er zeigte die Verbandspräsentation und erläuterte die Ziele und Aufgaben des Verbandes und die vielen Möglichkeiten für Networking und Informationen auf seinen Plattformen. Als wichtiges Ereignis in diesem Jahr wird auf die Jahreskonferenz vom 26. Bis 27. September in Bremen hingewiesen. Ferner wird auf die deutschsprachigen Produkte des IPC und auf die eigenen FED-Produkte wie z.B. die Bibliothek des Wissens und die Lehrfilme für die Baugruppenfertigung und die Leiterplattenherstellung aufmerksam gemacht.



Martin Borowski Referent
Göpel electronic GmbH



Stefan Hörth Referent
KSG GmbH

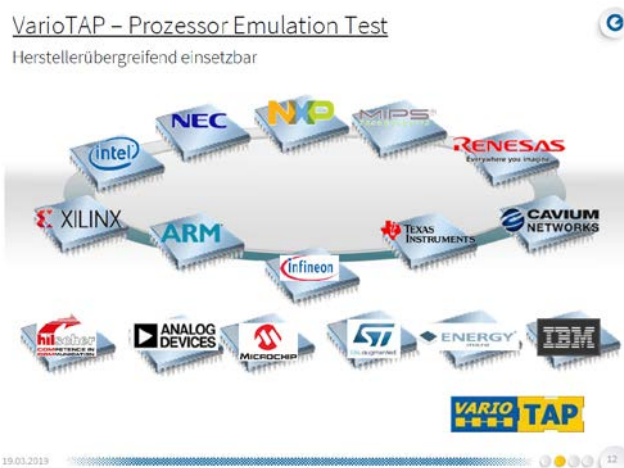


Heiko Böhland Geschäftsführer
enmech /Mektec-Gruppe

Im ersten Fachvortrag des Tages berichtet Martin Borowski, Firma Göpel electronic GmbH, über eine nahezu 100%ige Prüfbedeckung für miniaturisierte Baugruppen und komplexe Bauelemente durch **Embedded JTAG Solution**. JTAG, bereits seit 1990 bekannt, wird häufig für den IEEE-Standard 1149.1 genannt. Eine 100%ige Testbedeckung durch Nadelbettadapter ist bei der heutigen Miniaturisierung der Baugruppen und Komplexität der Bauelemente nicht mehr möglich. Ein Funktionstest von Baugruppen kann hohe Kosten verursachen. Eine alternative Möglichkeit wird durch das Testverfahren Boundary Scan gegeben, welches spezielle IC-Bausteine die bereits auf Leiterplatten verbaut sind, ohne Testnadeln überprüfen kann. Die Boundaryscan-Zellen auf den Bausteinen

können aus- und eingelesen werden und sind aus diesem Grunde zu Messzwecken ~~wirken~~ nutzbar. Generell werden zwei Möglichkeiten des Zugriffs über JTAG unterschieden.

- Boundary Scan nach IEEE-Standard. Im Testmodus wird der Prozessor abgeschaltet und ein Signal durchläuft die Boundary-Scan Zellen um Eingänge und Ausgänge und Verbindungen zu überprüfen. Interne Vorgänge können nicht erfasst werden, der Messvorgang ist nur nach außen nutzbar. Jedoch können Messungen auf Kurzschluss und richtigen Verbindungen durchgeführt werden.
- Embedded Solution verwendet die JTAG-Schnittstelle und erweitert mit einem Programm die Möglichkeit zum Boardtest, Funktionstest und zum Programmieren der Logik. Das Verfahren findet dadurch in Entwicklung, Produktion, Service und Support Anwendung. Im Prüf- und Messverfahren werden Mikroprozessoren bzw. FPGA's auf der Baugruppe angesteuert und zum Test anderer auf der Baugruppe befindlichen Komponenten, wie RAM-, Flash-Bausteine und andere serielle Komponenten, genutzt. Heute wird immer häufiger durch das JTAG-Interface der Zugriff auf die interne Logik als Programmierschnittstelle verwendet. Die Prozessorfunktionen werden in diesen Fällen zum Test verwendet und damit kann ein Echtzeit RAM-Test, das Lesen und Beschreiben von Registern und die interne und externe Flash-Programmierung auf einer gefertigten Baugruppe durchgeführt werden. Die Bauelemente die mit den notwendigen JTAG-Eingängen ausgerüstet sind werden heute bereits von vielen Herstellern gefertigt.



Quelle: Vortragsfolien Martin Borowski Göpel electronic GmbH

Für das Testen über den Prozessor bzw. den FPGA ist generell eine Versorgungsspannung auf der Baugruppe notwendig. Beim Verbindungstest im ersten Schritt wird über die JTAG-Schnittstelle der Prozessor / FPGA angesprochen, der über entsprechende Signale und deren Messung, der auf der Baugruppe vorhandenen Bauteile, das Vorhandensein der Verbindungen untereinander überprüft. In einem Report über die Netzliste, den Schaltplan und auch durch Anzeige im Layout ist eine Auswertung der Prüfung möglich.

Ein dynamischer RAM-Test und das Auslesen der Flash-Bausteine sowie ein Funktionstest von seriellen Bauteilen werden ebenfalls über die Programmierung des Prozessors / FPGA möglich gemacht. Die Frequenzmessung von Quarzen ist mit einem Toggle-test über die Boundaryscan-Zellen oder über den FPGA möglich. Schnittstellentest für die analogen und digitalen bzw. High-Speed Steckverbindungen ist mit entsprechend anzuschließenden Baugruppen jeder Zeit gegeben. Die Programmierung von internen und externen Flash-Bausteinen ist ebenfalls über die Boundaryscanzellen und die Kernlogik vom Prozessor / FPGA zu realisieren. Alle Testmöglichkeiten gewährleisten, dass die Anforderungen an die heutigen Elektronikgeräte erfüllt werden können.

08.07.2019

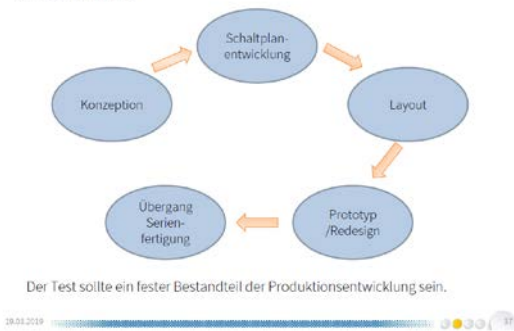
Bericht_RGB_19.03.19 Korrektur MS.docx

Seite 2

Der Baugruppentest von gestern und heute unterscheidet sich wesentlich. War in den vergangenen Jahren noch Platz für Messpunkte für die Nadeladapter, so ist heute ein Umdenken notwendig um die Testmöglichkeiten mit den gegebenen Bedingungen auf den Baugruppen abzustimmen. Viele unterschiedliche Testmöglichkeiten stehen den zahlreichen Anwendungsgegebenheiten gegenüber. Ein sinnvolles Prüfkonzept ist möglichst schon in der Konzeptphase zu entwickeln um durch eine Kombination der zur Verfügung stehenden unterschiedlichen Prüfmöglichkeiten eine möglichst 100%ige Prüfdeckung zu gewährleisten.

Die Testbedingungen werden in der Konzeptionsphase bereits festgelegt und dann in den nachfolgenden Entwicklungsschritten erweitert und den entsprechenden Anforderungen angepasst. Ein Zusammenarbeiten aller beteiligten Bereiche ist hierfür unumgänglich.

Schritte in der Elektronikentwicklung
Wo beginnt der Test



Quelle: Vortragsfolien Martin Borowski Göpel electronic



Der zweite Fachvortrag von Stefan Hörth, Firma KSG Austria GmbH, informiert über **Leistungselektronik und Entwärmungslösungen mit Leiterplattentechnologien**. In der Kurzvorstellung der Firma informiert der Referent über den Zusammenschluss der Firmen KSG-Gornsdorf und Häusermann und den damit geschaffenen Kapazitäten für das umfangreiche Technologie-Portfolio in der Herstellung von Leiterplatten.

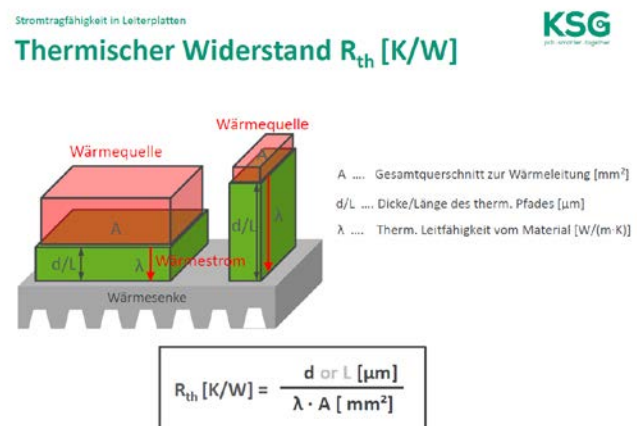
Zum Einstieg in das Thema werden Anforderungen für die Leistungselektronik aufgezählt, hohe Dauerströme bei Beachtung der Spannungsabstände, der EMV-Verträglichkeit, ein ausgewogenes Thermomanagement und hoher Zuverlässigkeit und langer Lebensdauer. Dabei ist die Platzierung von Leistungs- und Steuerteil auf der Baugruppe, das eingeschränkte Platzangebot auf der Leiterplatte und der Kostendruck ein zu berücksichtigender Faktor. Beispielhafte Anwendungen werden hierfür aufgezeigt. Hierfür müssen auf der Leiterplatte die Voraussetzungen geschaffen werden, hohe Kupferquerschnitte ohne Querschnittsverjüngungen, geringer thermischer Widerstand zur Ableitung der entstehenden Wärme durch das Material und Spannungssicherheit zwischen Steuer- und Leistungsteil. Um die Kosten niedrig zu halten sind Standardtechnologien für die Herstellung anzuwenden. Nachstehend aufgeführte Technologien stehen dabei im Technologie-Portfolio zur Verfügung:

- **Multilayer-Leiterplatte.** Hierbei können zur Vergrößerung des Leitungsquerschnittes in mehreren Lagen Leiterbahnen parallel geschaltet werden. Der Vorteil liegt in der Standardfertigung, jedoch sind nur kleine Stromstärken damit zu realisieren.

- **Dickkupfer-Leiterplatten.** Diese Technologie erlaubt Kupferschichtstärken bis 400µm in einer Standardfertigung durch Ätztechnik. Eine gezielte Stromleitfähigkeit unter Beachtung der Verlustleistung ist gegeben. Die Ausführung als doppelseitige Leiterplatte ist möglich.
- **Eisberg-Leiterplatten.** Nur teilweise können Leiterbahnen auf den Außenlagen für hohe Stromtragfähigkeit auf 105 µm Standardkupfer auf 400 µm bzw. 70 µm Standardkupfer auf 210 µm aufgekupfert werden. Leistungsteil und Steuerteil lassen sich mit dieser Technologie in einem Multilayer kombinieren.
- **HSMtec®-Leiterplatten.** Bei dieser Technologie werden partiell Kupferquerschnitte an beliebigen Stellen in die Lagen eines Multilayers eingebracht. Die Kupferabschnitte in vorgegeben Standardgrößen werden von einer Rolle verarbeitet und erlauben damit vielfältige Einsatzmöglichkeiten. Die Unterbringung von Leistungs- und Steuerteil auf einer Leiterplatte wird damit gewährleistet. Stromtragfähigkeit >500A ist damit möglich. Zusätzlich sind durch die stabilen Leiterbahnen Abbiegungen zur Herstellung einer 3D-Baugruppe möglich.
- **Cu-IMS-Leiterplatten.** Insulated Metal Substrate erlauben die Herstellung einer Metallkernleiterplatte. Für einfache thermische Anforderungen an die Leiterplatte ist diese Technologie eine optimale Lösung. Anwendung finden die Leiterplatten hauptsächlich in der LED-Technologie zur Ableitung der Verlustwärme. Durch die elektrisch isolierte Kupferschicht sind keine zusätzlichen Isoliermaterialien beim Gestalten der Baugruppe notwendig.

Bei der Beurteilung der Stromtragfähigkeit in Zusammenhang mit dem thermischen Management von Leiterbahnen ist der thermische Widerstand ein wichtiger Faktor. Dieser berechnet sich, wie aus der nebenstehenden Vortragsfolie zu ersehen, aus dem Gesamtquerschnitt der Leitung, der Dicke des Materials bis zur Wärmesenke und der thermischen Leitfähigkeit des Materials. Zu beachten sind dabei die unterschiedlichen Werte für die thermischen Eigenschaften der Materialien. Der Wert vom Leiterplattenmaterial FR4 ist 10x besser als der von Luft, aber auch 100x schlechter als der von Kupfer. Der zweite wichtige Faktor zur Ableitung der Verlustwärme ist die Wärmespreizung in der Leiterplatte die durch vielfache Möglichkeiten im Aufbau, wie bei der Gestaltung von Multilayeraufbauten oder Anwendung von Bündelleiter anstelle von Einzelleiter, beeinflusst werden kann. Für die unterschiedlichen Anwendungen resultiert daraus die Wahl der anzuwendenden Technologie und der verwendeten Materialien. Ein Kalkulator für Hochstromleiterbahnen kann auf der Website von KSG eingesehen werden.

Die oben angegebene Formel für den thermischen Widerstand kann ebenso für die Abführung der Verlustwärme von Leistungsbausteinen auf der Leiterplatte angewendet werden. Auch hierbei gilt, dass der Aufbau der Leiterplattenlagen die Wärmespreizung wesentlich beeinflusst. Durch Anwendung von Thermovias kann die Wärmeabfuhr wesentlich verbessert werden. Gerade für die Anwendungen im LED-Bereich müssen für das Wärmemanagement entsprechende Voraussetzungen beachtet werden, da der thermische Stress durch unterschiedliche Materialien im Aufbau der Baugruppe zu Schäden und Lebensdauerverkürzungen führen kann. Entsprechende Beispiele wurden aufgezeigt. Abgerundet wurde das Thema mit der Information über die vielfältigen



© KSG GmbH 2023
Vervielfältigung und Weitergabe an Dritte nur mit ausdrücklicher Genehmigung der KSG GmbH. Leiterplatten für Hochstrom und Wärmemanagement 28

Quelle: Vortragsfolien Stefan Hörth, KSG GmbH

Anschlussmöglichkeiten nach Außen und die Verwendung von TIM (Thermal Interface Materials) für verlustarme Übergänge zu Kühlkörper bzw. Gehäusen.

Viele Teilnehmer folgten der Einladung die Fertigungsräume der Firma enmech /Mektec-Gruppe zu Besichtigen und die interessante Fertigung der flexiblen Leiterplatten durch Verarbeitung von der Rolle zu betrachten.

Quellen: Vortragsfolien: [Embedded JTAG Solution, Martin Borowski Göpel electronic GmbH](#)

[Leistungselektronik und Entwärmungslösungen mit
Leiterplattentechnologien umsetzen, Stefan Hörth, KSG-Austria GmbH](#)

[Die Mektec-Gruppe, Firmen Portrait](#)

Die Vortragsfolien können mit Genehmigung der Firmen auf der FED-Website eingesehen werden

Klaus Dingler
Regionalgruppenleiter